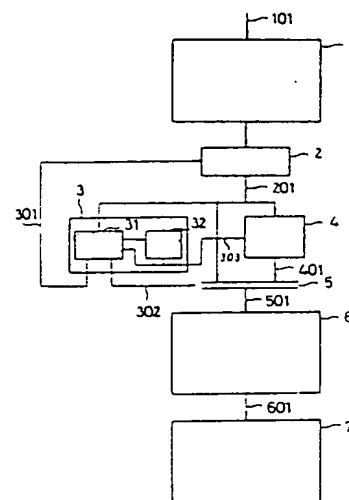


(54) INFORMATION PROCESSOR

(11) 1-286030 (A) (43) 17.11.1989 (19) JP
 (21) Appl. No. 63-116642 (22) 12.5.1988
 (71) NEC CORP(1) (72) MASATO NISHIDA(1)
 (51) Int. Cl. G06F9/30

PURPOSE: To realize the processing of a composite instruction without preparing a processing sequence for the composite instruction by decomposing the composite instruction to the instruction to execute plural fundamental processings and supplying it to an instruction decoding unit.

CONSTITUTION: A composite instruction control circuit 3 is composed of a composite instruction detecting circuit 31 and a counter 32. A detecting circuit 31 detects that an instruction in an instruction register 2 is the composite instruction and the number of decomposing the instruction is set to the counter 32. The composite instruction control circuit 3 holds the contents of the instruction register 2 through a control line 301 at the time of the composite instruction and suppresses the taking-out of the succeeding instruction. An instruction decomposing decoder 4 decomposes from the contents of the register 2 and the contents of the counter 32 to plural instructions. An instruction selector 5 selects the decomposed instruction outputted through a signal line 401 and sends it to an instruction decoding unit 6. The unit 6 decodes the instruction, sends it to an instruction execution unit 7 and executes it.



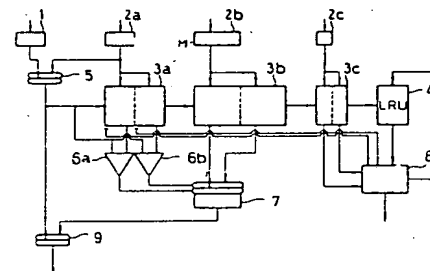
1: instruction taking-out unit

(54) INFORMATION PROCESSOR

(11) 1-286031 (A) (43) 17.11.1989 (19) JP
 (21) Appl. No. 63-116614 (22) 13.5.1988
 (71) NEC CORP (72) MASAHIKO YAMAMOURI
 (51) Int. Cl. G06F9/38

PURPOSE: To prevent the performance reduction by registering mode information into a branching history table having plural levels, reading the information with the address of a branching instruction and controlling a writing level.

CONSTITUTION: Two levels are held at any of branching history tables 3a, 3b and 3c, a V bit, a branching instruction address, a branching destination address and mode information are respectively stored into tables 3a, 3b and 3c, and the branching instruction address, branching destination address and mode information are respectively set to writing registers 2a, 2b and 2c. The output of a register 1 and the output of a register 2a to set the address of tables 3a~3c are selected by a selector 5 and the writing level to the tables 3a~3c is controlled based on the V bit of the table 3a, the mode information of the table 3c and the output of an LRV 4.



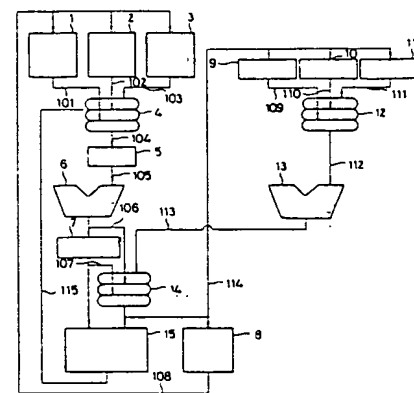
6a, 6b: comparator, 7: reading register, 8: control circuit

(54) INSTRUCTION PREFETCHING CONTROLLER

(11) 1-286032 (A) (43) 17.11.1989 (19) JP
 (21) Appl. No. 63-116215 (22) 13.5.1988
 (71) NEC CORP(1) (72) MASAHIKO YAMAMOURI(1)
 (51) Int. Cl. G06F9/38

PURPOSE: To hasten instruction rewriting detection processing speed by providing the address holding means of a rewritten instruction word and an instruction storing means to store the reset instruction word at the time of detecting the rewriting of the instruction.

CONSTITUTION: When an instruction word stored in an instruction register 5 is a branching instruction, the address information of the instruction word is sent through a signal line 105 to a main adder 6 and a branching address is calculated. At this time, a selector 14 selects the branching address, stores it to a branching prefetching counter 10 and sends it to a memory 8. The memory 8 takes out the instruction word of the branching destination from a branching destination address and sends it to an instruction buffer 2. The branching destination address selected by the selector 14 is sent and registered to an instruction rewriting detecting part 15. The prefetching of the succeeding instruction word is executed by the selector 14 while an address is calculated by an adder 13 for calculation.



7: storing address register

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-286030

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)11月17日

G 06 F 9/30

3 1 0

E-7361-5B

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 情報処理装置

⑯ 特 願 昭63-116642

⑰ 出 願 昭63(1988)5月12日

⑱ 発 明 者 西 田 政 人 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 発 明 者 小 俣 誠 山梨県甲府市丸の内1丁目17番14号 甲府日本電気株式会社内
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉑ 出 願 人 甲府日本電気株式会社 山梨県甲府市丸の内1丁目17番14号
㉒ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

情報処理装置

2. 特許請求の範囲

1. 情報処理装置において、

命令レジスタ中の命令が他の命令の組合せによって同一の処理が実現できる複合命令であることを検出する検出手段と、

該検出手段によって複合命令であると検出された命令を同一の処理を実現する複数の命令に分解する分解手段と、

通常は命令レジスタ中の命令を選択し、検出手段により複合命令であることが検出されると分解された命令を選択し、命令解読手段に出力する選択手段を有することを特徴とする情報処理装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は情報処理装置に関する。

(従来の技術)

従来の情報処理装置は、個々の命令に対して命

令のデコードを行ない、命令ごとに個別の処理を行っていた。すなわち、命令取出しユニットより命令レジスタに取り出された命令は、個々の命令対応に処理シーケンスを発生する命令解読ユニットによって命令がデコードされ、命令処理ユニットにて命令実行されていた。

(発明が解決しようとする課題)

上述した従来の情報処理装置は、個々の命令に対応して処理シーケンスを生成する命令解読ユニットが必要であったが、命令によっては制御シーケンスの一部を他の命令と共用できるものがあるし、さらに、他の命令を複数個組合せることで実現できる複合命令(例えば、複数のレジスタのロード、ストア命令、四則演算に分解できるような演算命令等)も有り得、このような複合命令に対して個別の命令処理シーケンスを生成することは、命令解読ユニットを複雑化させてハードウェア量の増加を招き、また回路の複雑化に伴ない、回路遅延が増大し、装置の性能を低下させてしまう。

上記のような問題点に対して、近年複合命令のような他の基本的な命令の組合せによって実現可能な命令等を削減することによってハードウェアの複雑さを制限し、このことによって回路遅延を小さくし、情報処理装置の性能向上をはかろうとする縮小命令セット(RISC)の考えを用いた情報処理装置があらわれてきている。しかし、RISC計算機においても、命令の種類数の制限によって記述性が低下し、ソフトウェアの負荷が増大するとか、プログラムサイズが大きくなってしまおうといった欠点がある。

(課題を解決するための手段)

本発明の情報処理装置は、

命令レジスタ中の命令が他の命令の組合せによって同一の処理が実現できる複合命令であることを検出する検出手段と、

該検出手段によって複合命令であると検出された命令を同一の処理を実現する複数の命令に分解する分解手段と、

通常は命令レジスタ中の命令を選択し、検出手

段の検出出力により分解された命令を選択し、命令解読手段に出力する選択手段を有する。

命令検出回路31で検出し、またカウンタ32に命令の分解数をセットする。また、複合命令制御回路3は、複合命令であれば制御線301を介して命令レジスタ2の内容を保持し、後続命令の取り出しを抑制する。命令分解デコーダ4は、複合命令検出回路31にて複合命令が検出されると、命令レジスタ2の内容と信号線303を介して供給されるカウンタ32の内容をもとに同一の処理を実現する複数の命令に分解する。命令セレクタ5は通常は信号線201により供給される命令レジスタ2に保持されている命令を選択し、複合命令検出回路31にて複合命令が検出されたことが信号線302で報告されると信号線401を介して出力される分解された命令を選択し、信号線501により命令解読ユニット6へ送出する。命令解読ユニット6は信号線501により送出されてきた命令を解読し、信号線501により命令実行ユニット7に送り、命令が実行される。なお、カウンタ32は分解された命令が命令解読ユニット6に送出されるたびに減じられる。そして、命令分解処理の完了はカウンタ32

(作用)

したがって、複合命令に対する処理シーケンスを生成する回路を有することなく、複合命令の処理を実現でき、命令解読ユニットの構造が簡単化され、ハードウェア量が削減されるとともに、回路遅延が小さくなる。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の情報処理装置の一実施例の要部のブロック図である。

命令取り出しユニット1は主記憶装置(図示せず)より、実行すべき命令を信号線101を介して取り出し、命令レジスタ2に格納する。複合命令制御回路3は複合命令検出回路31とカウンタ32とからなり、信号線201を介して供給される命令レジスタ2中の命令が他の命令の組合せによって同一の処理が実現できる複合命令であることを複合

命令検出回路31で検出し、またカウンタ32に命令の分解数をセットする。また、複合命令制御回路3は、複合命令であれば制御線301を介して命令レジスタ2の内容を保持し、後続命令の取り出しを抑制する。命令分解デコーダ4は、複合命令検出回路31にて複合命令が検出されると、命令レジスタ2の内容と信号線303を介して供給されるカウンタ32の内容をもとに同一の処理を実現する複数の命令に分解する。命令セレクタ5は通常は信号線201により供給される命令レジスタ2に保持されている命令を選択し、複合命令検出回路31にて複合命令が検出されたことが信号線302で報告されると信号線401を介して出力される分解された命令を選択し、信号線501により命令解読ユニット6へ送出する。命令解読ユニット6は信号線501により送出されてきた命令を解読し、信号線501により命令実行ユニット7に送り、命令が実行される。なお、カウンタ32は分解された命令が命令解読ユニット6に送出されるたびに減じられる。そして、命令分解処理の完了はカウンタ32

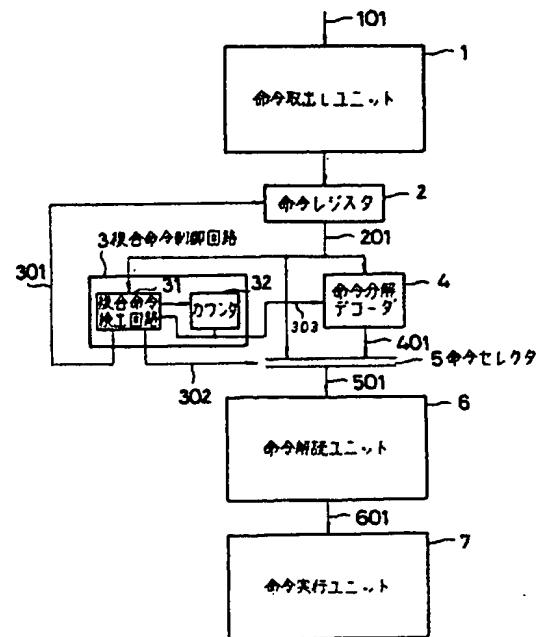
(発明の効果)

以上説明したように本発明は、他の複数の命令によって同一の処理が実現出来るような複合命令を複数の基本的な処理を行なう命令に分解し、該命令を命令解読ユニットに供給することにより、該複合命令に対する処理シーケンスを生成する回路を有することなく、該複合命令の処理を実現することができ、このことによって命令解読ユニットの構造を簡単にすることができハードウェア量を削減することができ、また構造の簡単化により回路遅延が小さくでき性能向上をはかることができ、また、逆に少ないハードウェアの追加で命令の種類数の追加が可能であり、プログラムの記述性が向上し、ソフトウェアの負荷が減じ、プログラムが主記憶に占めるサイズを小さくさせることができる効果がある。

4. 図面の簡単な説明

第1図は本発明の情報処理装置の一実施例を示すブロック図である。

- 1…命令取出しユニット、
- 2…命令レジスタ、
- 3…複合命令制御回路、
- 31…複合命令検出回路、
- 32…カウンタ、
- 4…命令分解デコーダ、
- 5…命令セクタ、
- 6…命令解説ユニット、
- 7…命令実行ユニット。



第 1 図

特許出願人 甲府日本電気株式会社
代理人 弁理士 内 原 晋